



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09284518

(43) Date of publication of application: 31.10.1997

(51) Int.Cl.

H04N 1/21

H04N 1/44

(21) Application number: 08118437

(71) Applicant:

RICOH CO LTD

(22) Date of filing: 16.04.1996

(72) Inventor:

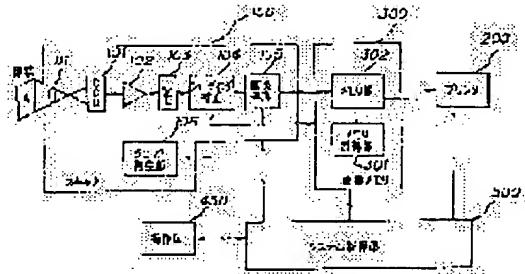
OBATA MASATO

(54) DIGITAL IMAGE FORMING DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a digital image forming device for improving secrecy.

SOLUTION: A scanner 100 digitally reads an image on an original and an image memory 300 stores image data which is read. The image is formed based on stored image data and image data is read again from the image memory after a series of image forming operations terminate. A system control part 500 forms the image. Image data which the image memory stores can arbitrarily be deleted. Thus, the formation of the image by an unrelated person can be prevented. Then, convenience improves when it is automatically deleted after prescribed time passes.



0.3でデジタル信号(以下、画像データとも言う)に変換後、シーディング補正回路1.04にてCCD1.01の感度ムラや、光源1.10の光量のムラや、レンズ1.1などの光量分布の補正を行わ、その後像処理回路1.05に入力して、MTF補正や変倍処理、2値化などのさまざまな処理を施した後に画像モリ3.00に転送する。

345がある。

【0017】画像データ処理部306はスキヤナ100から入力された画像データをシリアルバス上に変換してメモリ部302に入力するS/P変換部610と、スキヤナ100からの画像データをメモリ部302に入力するか、メモリ部302から読み出した画像データをプリンタ200に送るかを切り換えるデータ切り換え部620と、メモリ部302から読み出した画像データをプリントするデータラッシュ部630とデータラッシュ部630でラッシュした画像データをバス上にシリアル変換する。

P/S変換部640と、P/S変換部640バーレル/シリアル変換された画像データに対して反転、ミラーリング、シフト等の属性の属性データ加工を行う画像加工部650とで構成されている。

【0018】以下更に画像メモリ300の各部について詳説する。まず画像データ処理部306について説明する。スキナ100に読み取られた画像データD1は同時にケーブル700を介して画像メモリ300のS/P変換部610に入力される。

【0019】S/P変換部610は図26に示すように

ANDゲート011とシフトレジスタ612とブリッフ・プロップ(以下、F/Fとも言う)613により構成されている。

【0020】図27と共に動作を説明すると、シフトレジスタ612では画像データD2をデータ入力端子A1に投入し、ANDゲート611で翻訳直方向の読み取り有効限領域を持つ信号WF GATEと主直方向の最大有效限領域を持つ信号BL GATEのANDを取り、その信号をデータ入力端子B1に入力するので画像データD CLK2の不要な部分をマスクして、クロック入力端子CLK

互方向の有効領域を検知する原稿機器知部320と、メモリ部302へ書き込みアドレスを発生する書き込みアドレス発生部330と、書き込みアドレス発生部330へアドレスの初期値を設定する書き込みアドレス設定部50とクロック信号CLKに同期して連延して出力する。

3
るラッチ信号CLK16を入力してラッチし、周期を1／16に倍として16ビンパラレルに変換した画像データD3を出力する。そしてこの16ビント単位でメモリ部3・02の16箇所メモリ素子に対してライト／リード3

【0021】画像データの周期を1／1.6に落とすことで、かけられると、1.6 CLK周期をリードサイクル、次の4 CLK周期をリードサイクル、最後の4 CLK周期をリードサイクルと、1.6 CLK周期単位でリードを同時に実行している。

【0022】画像データの周期を1／1.6に落とすことで、かけられると、1.6 CLK周期をリードサイクル、次の4 CLK周期をリードサイクル、最後の4 CLK周期をリードサイクルと、1.6 CLK周期単位でリードを同時に実行している。

【0023】そして各々のサイクルが有効であることを示す信号をそれぞれ*ARDEN、*REFEN、*WREなどし、各信号ともレバーレルの間がそのサイクルが有効となる。

とする。F/F61.3の出カイネーブル端子OEには* WRENを入力しているので、実際にはF/F61.3はライタイクルが有効な期間のみ画像データD3を出力し、その他の期間では出力はハイインピーダンス状態となる。

により消去できる。

【0025】データ切り替え部620について説明する。データ切り替え部620は図29に示すように双方指向トランジistor621により構成されており、データ入力A端子にはS/P変換部610及び後述のデータインターフェース部301の16bitのデータラインが接続され、データ入出力B端子にはメモリ部302の16bitのデータラインが接続されている。

【0026】図28を用いて動作を説明する。方向切り換える端子D1Rには*WRENが接続されているので、

*WRENがレベルの間（ライト動作が有効の間）は画像データの方向はA端子からB端子となり、S/NP端換部1.0からメモリ部3.0/2に画像データは流れれる。逆に*WRENがHIGHの間は画像データの方向はB端子からA端子となり、メモリ部3.0から後続のデータシフタ部6.3/0に画像データは流れれる。ただし出力ノーブル端子O/Eに*RFENを入力しているので、リフレッシュ期間中はデータ出入端子A、B共に、ハイインピーダンス状態となる。

データラッシュ部630は図30に示すようにF/F631にて構成されている。図31も用いて動作を説明する。データ切り換え部620により、画像データはモニタ302へのライトデータチャネル302かからの入り替り302へ

ードデータカカを切り換えられ、時分割でリードサイクルの時にメモリ部302にから画面データは読み出される。そしてこの読み出された画像データD3をF/F631のクロック端子CLKに入力したクロック信号RD

STBでブリッジして画像データD5を出力する。

【0028】P/S变换部640について説明する。P/S变换部640には、図3-2に示すように、シートレジ斯特ダ651により構成されている。図3-3も用いて動作を説明する。

【0029】データラッシュ部630により所定のタイミングにてデータされたパラレルの画像データD5をシートレジ斯特ダ651のパラレル入力P10～P115に入力し、シフト/ロード端子SH/*#LDL入力P10～P115/ロード信号*DTLD入力すると、*DTLDが1レベルの時にクロック端子CLKに入力したクロック信号CLKの立ち上がりエンジニアラル入力に感知したD5が

ロードされ、それと同時にシリアル出力端子S0にCD500を出力する。以下*DTLDがレベルの間、CLK同期して画像データをシフトして、シリアル出力S0にはD601、602、*515を出力し、シリアルの画像データD6を得る。

シグ674にて構成される。
【0031】以下動作を説明する。EX-ORゲート6
71は画像反転を行つたものであり、ラインハップ
ア672、ライトアドレスカウンタ673、リードアド
レスカウンタ674は画像シフト、ミーリング、ダブ
ルコピーを行うためのものである。EX-ORゲート6
71では画像データD6とシステム削除306からの反
転/非反転切り換え信号REVを入力しているので、R
EVがHレベルで反転処理を行わない時は画像データD
6をスルーで出力するが、REVがHレベルの時は反転

処理を行うので画像データ D を反転処理した後出す
る。

【0032】またラインパンフア 672 ではライトアド
レスカウンタ 673 及びリードアドレスカウンタ 674
により指定する書き込みノットに出しアドレスをすらすこ
とににより主走査方向に画像シフトしたり、屏頭に書き込
んで屏頭に読み出すことにによりミラーリングを行った
り、1LSYNC 内に一度読み出し終了後もう一度読み
出すことによりダブルロビーを実現する。このラインバ
ンフアのアドレス制御についてはシステム制御 305 よ

り設定された履歴情報に基づいて行う。この様に画像編集した後データD7を得る。

部分について説明する。原稿稿知部3.1.0及び原稿
稿知部3.0.2について説明する。図5はキャナ1.0.0
の原稿搬送部を上から見た図であり、コンタクトガラス
1.0.8の手前に原稿搬送部センサ3.1.1～3.1.8および
原稿搬送センサ3.2.1、原稿搬送センサ3.2.2を配置
している。各センサは反応型のセンサであり原稿がその
上に存在するか否かによりオンまたはオフする。

[0034] 図2も用いて実際の原稿読み取り動作に基
づいて各センサの動作を説明する。オペレータが原稿を
入口ローラに挿入すると、原稿搬送知センサ3.1.1～3
.1.8が挿入した原稿のサイズに応じてオンする。例えば
A4横サイズの原稿を挿入した場合は3.1.4、3.1.5の
センサだけがオンし、A2横サイズの原稿を挿入した場
合は3.1.2～3.1.7までのセンサがオンすると言うよう
に、原稿の端に応じてオンするセンサの組合せが変
わるのを原稿の幅を検知することができる。

[0035] そしてこの組合せは信号DATA1WD
THをメモリ制御3.0.5に入力して判断し、その判断結果
に応じた信号を書込アドレス発生部3.3.0に印加す
る。原稿の端が終了した信号を書込アドレス発生部3.3.0に印加す
る。オシニングして入口ローラ1.0.7の送動ローラの圧が解除され
て原稿は更に奥に挿入可能となる。この同時に蛍光灯
1.1.0が点灯し、原稿読み取りの準備を開始する。更に
原稿が奥に挿入され、原稿の先端が不図示のゲート爪に
突き当たって原稿搬送センサ3.2.1をオンすると不図示
の搬送モーターが駆動し、ゲートソレノイドがオンしてゲ
ート爪が開き、そして搬送ローラ1.1.2が原稿を搬送す
る。原稿が搬送されて原稿の先端が原稿長センサ3.2.2
の上を横切ると、原稿長センサ3.2.2がオンする。

[0036] そして原稿が搬送されて原稿の後端が原稿
長センサ3.2.2の上を通過すると原稿長センサ3.2.2は
オフして、原稿が原稿長センサ3.2.2の上を通過していく
間を原稿の読み取り有効領域として検知し、読み取り
有効領域信号WFGATEを図4に示すメモリ制御3.0
及び書込ikanカウント部3.3.0に入力する。A4横
の原稿の幅及び長さを検知する場合を図6に示す。

[0037] 書込ikanカウント部3.5.0について説明
する。書込ikanカウント部3.5.0は図7に示すように
ORゲート3.6.1とkanカウント3.6.2とANDゲート3.5
で構成されている。

[0038] 図8も用いて動作を説明する。カウンタ3
.5.2のクリア端子CLKRには動作直方向の読み取り有効
領域信号を示すFGATE信号を入力する。このFGA
TE信号は上記WFGATE信号と、メモリの内容の消
去を行った際のメモリ制御3.0.6によりソフト的にオフで
きる消去有効信号をORゲート3.6.1によりORを取った
信号ORを取った信号である。またクロック端子
CLKRには主走査方向の信号LSYN
Cを入力し、得られた出力QA～QCはANDゲート3
.6.2に入力している。

[0039] 以下動作を説明すると、通常の原稿を読み取
取る場合には原稿が原稿長センサ3.2.2の上を通過す
るWF GATEがオン(Hレベル)になると、それまで出
力QA～QCがクリア(カウント値="0")されてい
たのが解除され、1ライン原稿を走査してクロック端子
にLSYNCの立ち上がりエッジが入力される毎にカウ
ントアップする。そしてカウント値が"7" (QA～Q
C=H)になると、ANDゲート3.5.2の出力WINT
がHレベルとなる。

[0040] 以下再びカウント値は"0" (QA～QC
=L)に戻るので、端子WINTはWF GATEがオ
ンした後8ライン原稿を走査する毎 (LSYNC周
期)にLSYNC周期の間Hレベルとなる。そしてこ
のWINTは図4に示すようにメモリ制御3.0.5に入
力され、図2.1に示すWINT8巻き込み処理に用いら
れる。メモリの内容を消去する場合にはWF GATEが
オンする代わりにINFGATEがメモリ制御3.0.5に
制御されてオフするだけで、動作は同じである。

[0041] 1次に図9～図11を参照して書込アドレス
発生記3.3.0について説明する。書込アドレス発生部3.3
.2は図9～図11に示すようにダウンカウンタ3.1.1、3.3.2と
、A NDゲート3.3.3と、F/F 3.3.4と、カウン
タ3.3.5から構成されている。ダウンカウンタ3.1.1、3.3.1
.3.2のプリセット入力にはそれぞれメモリ制御3.0.5
から図11に示すように主走査方向の最大読み取り有効
領域を示す信号LGATEから原稿の左端位置を示す信号D
信号SH1FT0～1.3、原稿の実際の幅を示す信号D
OT0～1.3が設定されている。

[0042] すなわち、原稿の左端位置SH1FT0～
1.3と原稿の幅DOT0～1.3は原稿のサイズに応じて
異なるが、メモリ制御3.0.5では原稿情報知部3.1.0に
より検知された信号DATA1WDHに基づいてSH1
FT0～1.3、DOT0～1.3 (通常DATA1WD
H=DOT0～1.3)を決定して、ダウンカウンタ3
.1、3.3.2に設定している(図2.0で後述する)。そ
してダウンカウンタ3.3.1では信号LGATEの開始を
示す信号LGATES1がプリセット値のロード信号
としてロード端子LD1c、また、クロック端子CLKに
クロック信号CLKに人力し、信号*LGATESTが
Lレベルになるとダウンカウンタ3.3.1のプリセット値
SH1FT0～1.3がロードされ、その後CLKに同期
してカウントダウンする。

[0043] そしてSH1FTの分だけカウントダウン
するとゴローが生じてその出力*SH1FTENDが
Lレベルとなるが、*SH1FTENDはANDゲート
3.3.3を介してF/F 3.3.4のクロック端子CLKに入
力し、またF/F 3.3.4は信号LSYNCの反転信号*
LSYNCでプリセットされているため入力 (=*Q
出力)はレベルになっているので、*SH1FTEN
Dの立ち上がりエッジでQ出力の*ADDRSENDBがL
50 Dに入力している。

記述されている。以下動作を説明すると、カウンタ391は器出アドレス設定部380からメモリ部302へ発生するための読み出しアドレスの初期値RADINITA 0～23がプリセット値として設定されており、これは*#RINT8ST (RINT 8) の開始位置から1 CLK 分1レベルになる信号)によりロードされ読み出しアドレスRADRS0～23はRADINITA 0～23

* ムで使用する変数などの名前を各部のニンジャライズを行った後、ステップ S 2 では原名が挿入されてコピーが開始されるのを待つ。そしてステップ S 3 で原名が挿入され原稿最後段部 S 1 0 により DATAWIDHT が検知されると、ステップ S 4 では DOT 及び SHIFT の値を計算する。

み、記録紙が現像開始位置に近づくと、所定のタイミングでプリンタ 200よりDREQが発生し、この信号がメモリ制御305に入力される。そしてこの信号を割り込み信号としてDREQ割り込み処理を行う。DREQ割り込みではリードアドレスの初期値の設定や、リード用のプログラムのカウンタの初期化及びライト用のカウンタ値の保存などを行う。

[0054] そして電アドレス発生部330により発生させた*ADRSEN BがHレベルの時は、*ADRSEN Bがカウンタ391のカウントイネーブル端子に電入力されているのでCLKが入力されてもカウントアップは行われないので出力される読み出しアドレスRADRS A0～23はRAD INIT A0～23のまま変わらないが、*ADRSEN BがLレベルの時はCLKに

100041 以降の動作ノードコードを用いて説明する。ステップ S 2 ではその時点での INT S 割り込みを行った回数 Y 1 と INT S に代入して一時保存する。ステップ S 2 ではリード時プログラムで使用するカウンタ Yout を初期化 (Yout = 0) して、ステップ S 3 ではメモリ部 3 0 2 からの読み出しアドレスの先頭を RAD SET A0 ~ 23 = OFF S E T (=書き込みアドレスの先頭) として読み出アドレス

レジスト301により構成されている。メモリ部300は、データ入出力部301により接続される。RADIWID THと、監出ラインカウント部310により接続される。RADIWID INT8から計算してRADSETA0～23として、パラレル11/O381に出力する。そしてパラレル11/O381は入力された値を読み出アドレスの初期値RADINITA0～23として次の読み出しアドレスの初期値がメモリ部300

〔10056〕メモリ刷新30.6について説明する。メモリ刷新30.6はCPU及びROM、RAM、割り込みコントローラなどの装置から構成されており、ROMに格納されたプログラムによって動作を行なう。以下その基本的な動作について説明する。

〔10057〕図20はメモリ刷新30.6で行なうメインの動作フローチャートである。電源オン後、ステップS1

では割り込みコントローラ、パラレルI/O、プログラマ* WAD SET 0～2-3 = 8 *

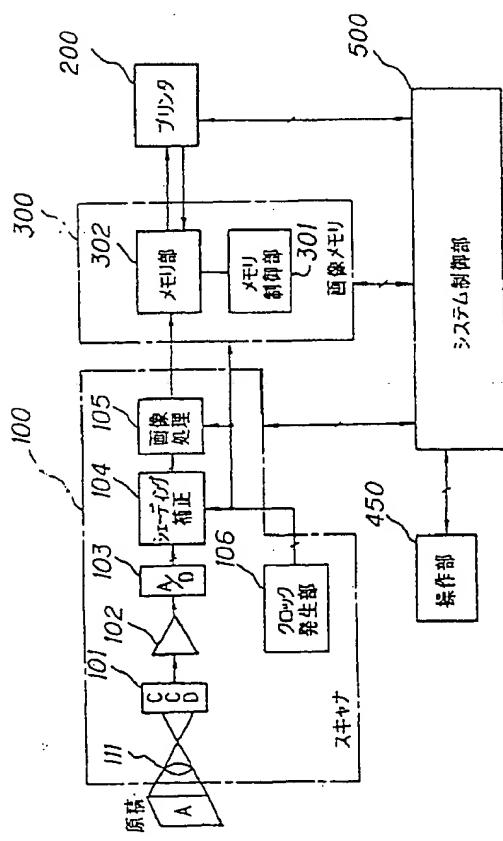
この式の意味は8ライン毎に割り込みがかかるので1ライン分のデータ量DATA WIDTHに8bitを掛け、それにWIN T 8割り込みを行った回数Y1を掛けた値を最初にセトしたライトアドレスOFFを加えている。ステップS1.3ではステップS1

RE Q記号を有効にするための操作や次の原稿の読み取り
360に対するTFRGEN

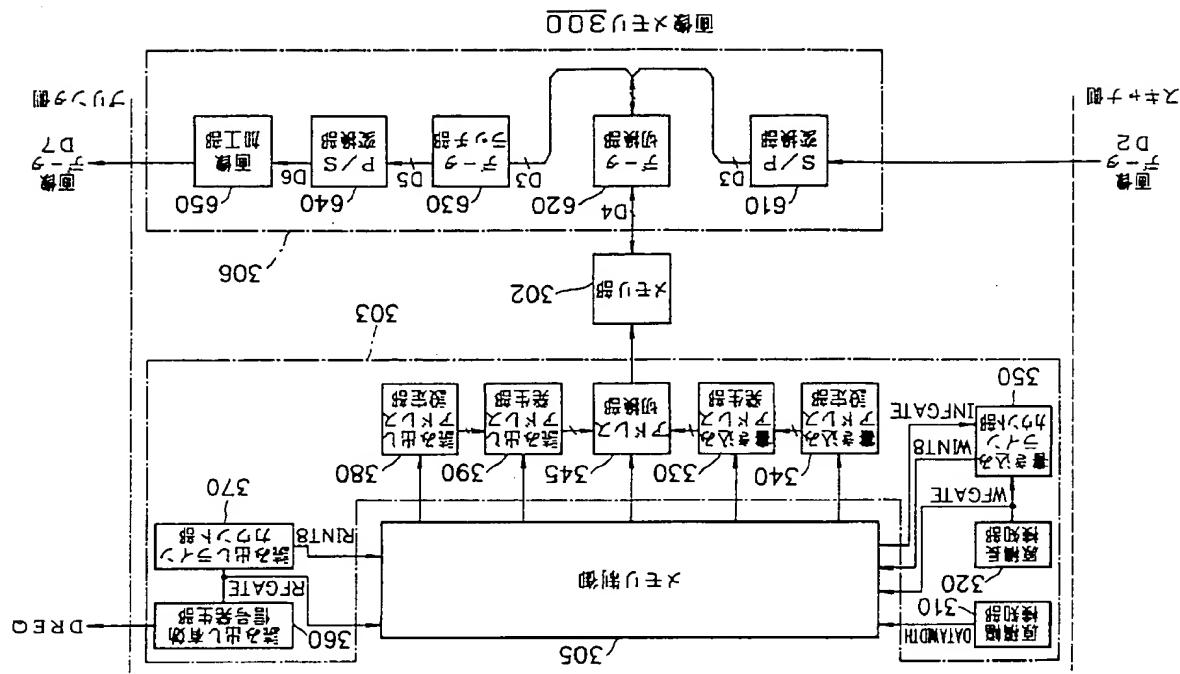
2で計算したライトアドレスを書込アドレス設定部34に設定して割り込み処理を終了し、メインフレーチャートの無限ループに戻り割り込み力を持つ。以下WI

WFGATE割り込みでは次の原稿の読み取りに備えて
ライト用に使用したカランタの値の保存と初期化及びメ
モリ部30.2の書き込みアドレスの初期値の設定を行

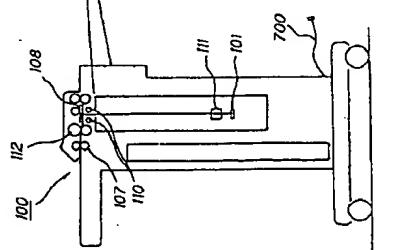
【図1】



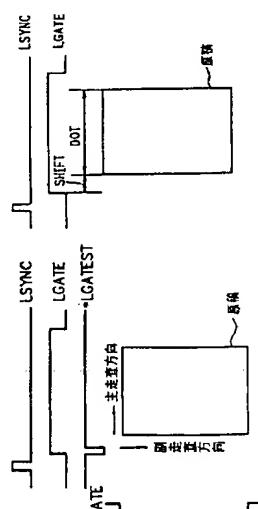
【図4】



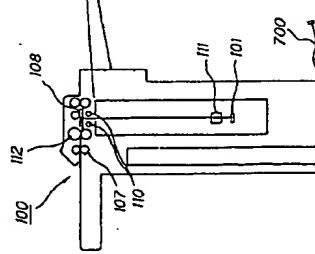
【図5】



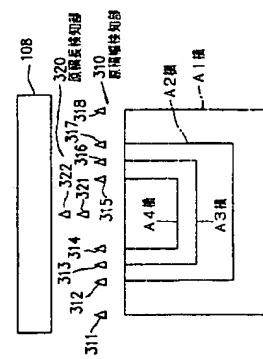
【図3】



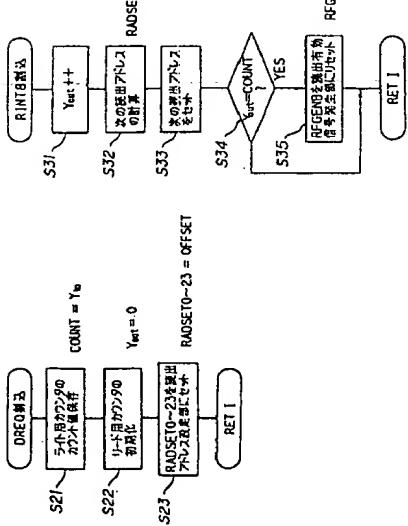
【図2】



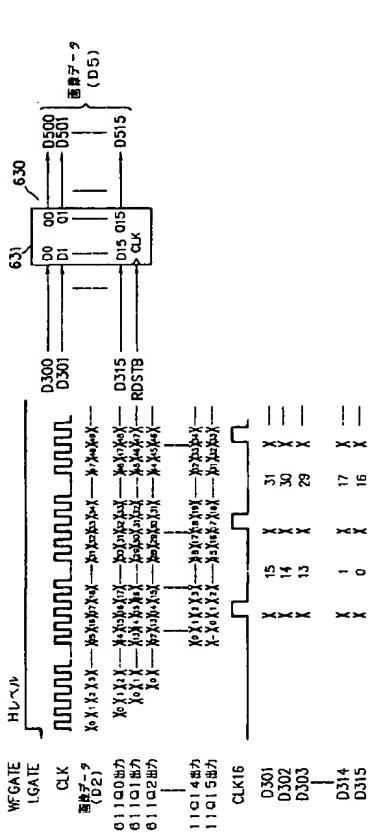
【図1】



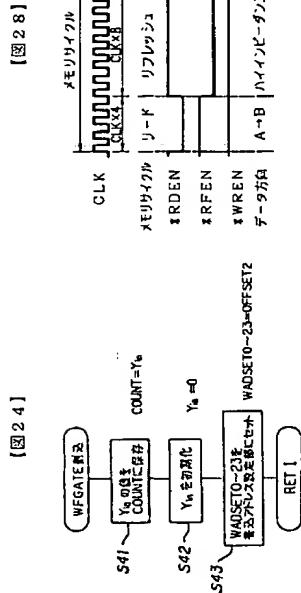
[図2.2]



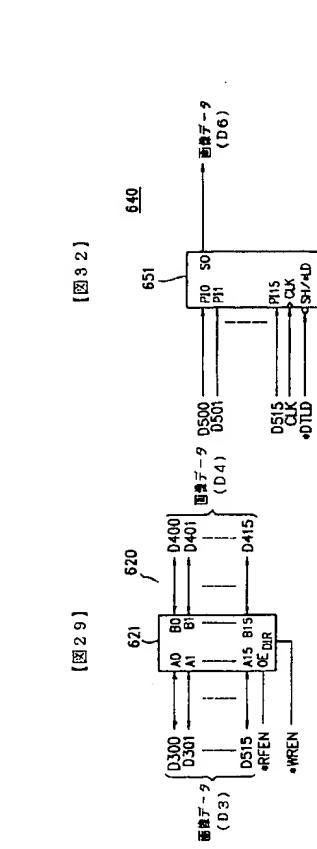
[図2.3]



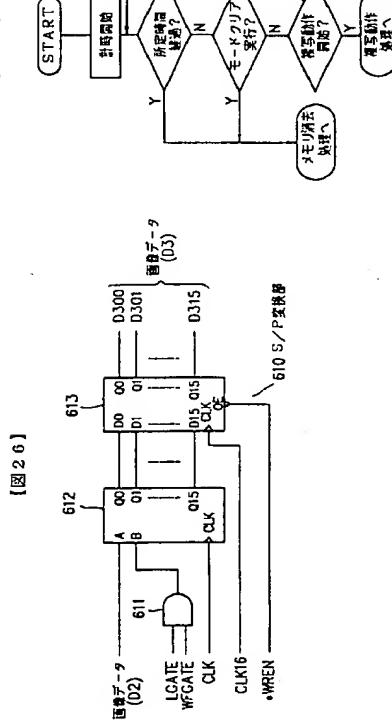
[図2.4]



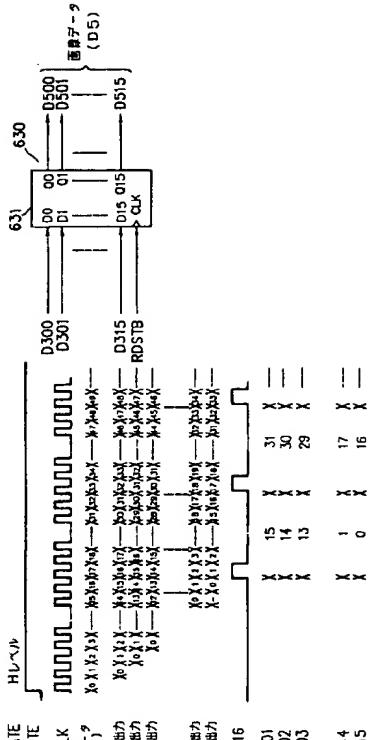
[図2.5]



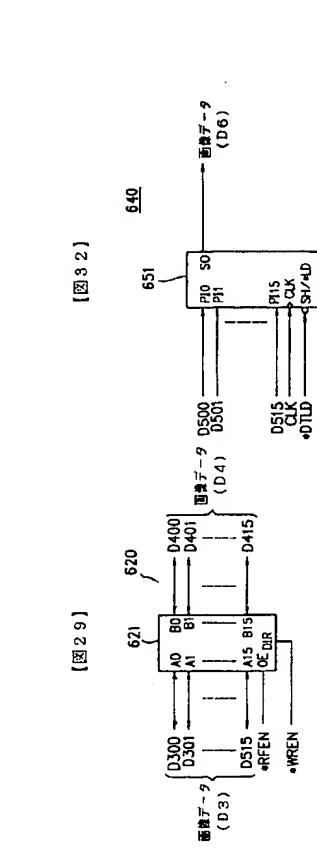
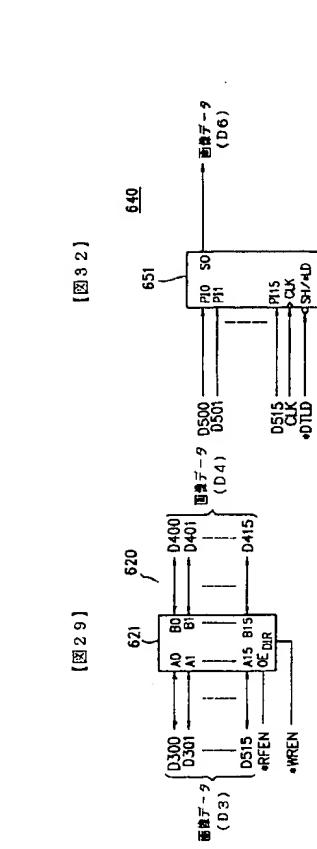
[図2.6]



[図2.7]

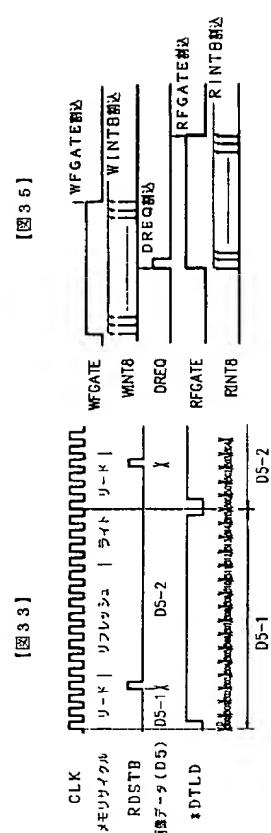


[図2.8]

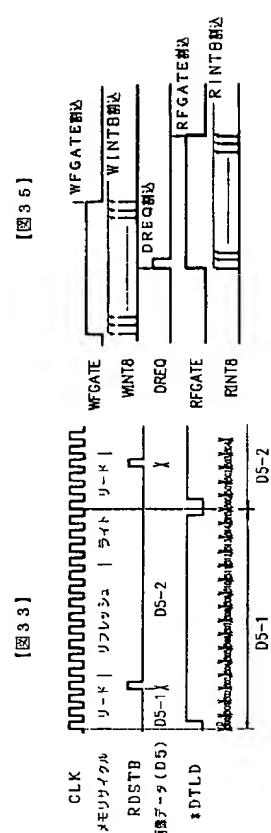


[図2.9]

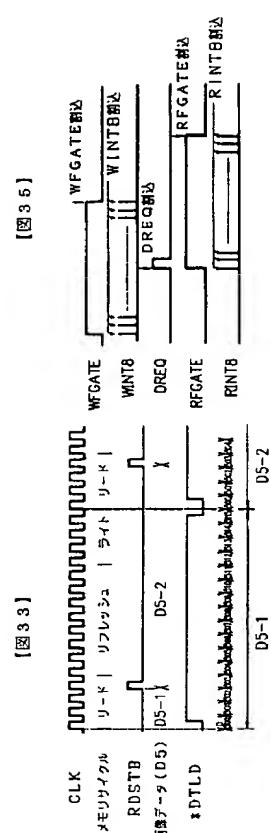
[図3.0]



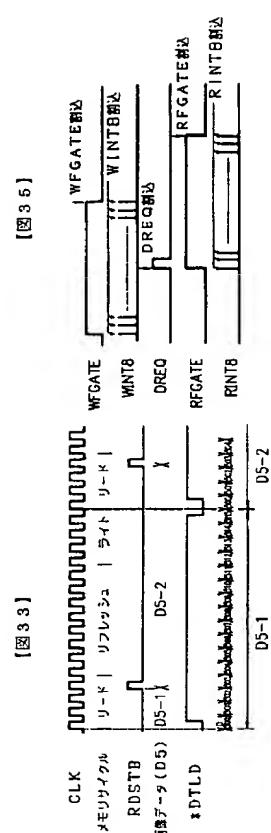
[図3.1]



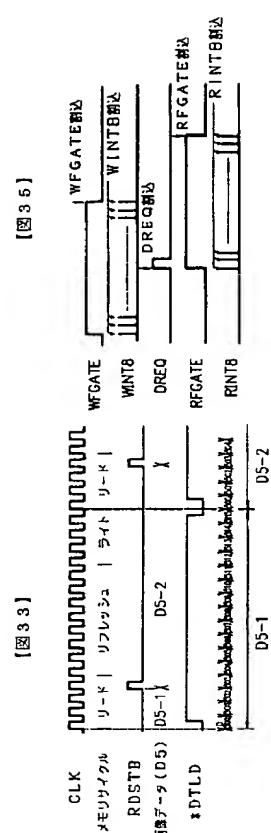
[図3.2]



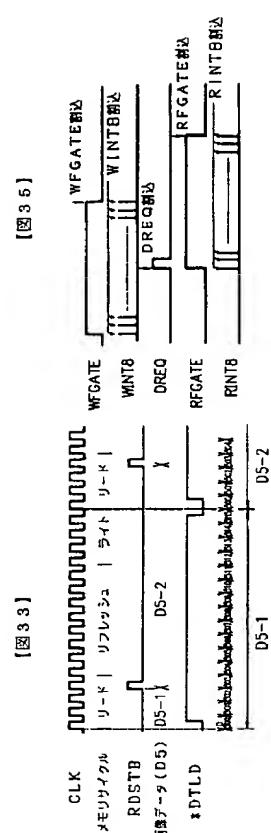
[図3.3]



[図3.4]

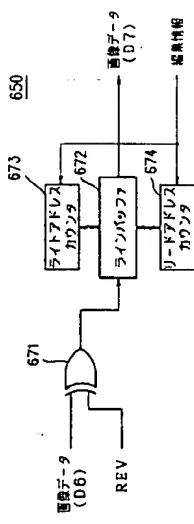


[図3.5]

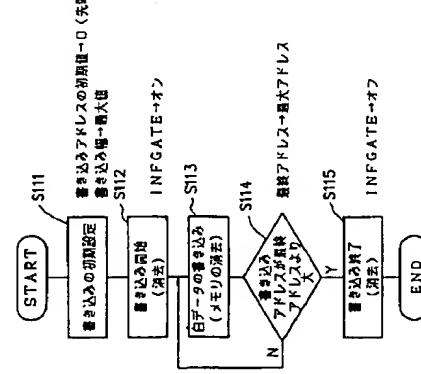


[図3.6]

[図3.4]



[図3.7]



[図3.8]

